

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124427
 (43)Date of publication of application : 28.04.2000

(51)Int.Cl. H01L 27/108
 H01L 21/8242

(21)Application number : 11-275097 (71)Applicant : SIEMENS AG
 (22)Date of filing : 28.09.1999 (72)Inventor : GUTSCHE MARTIN

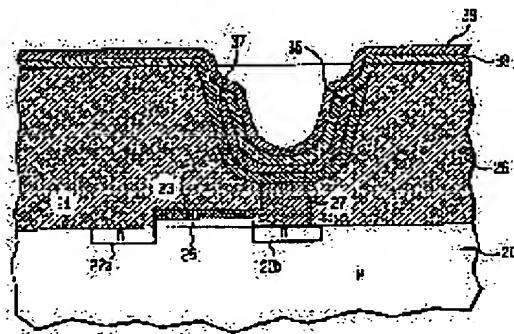
(30)Priority
 Priority number : 98 162867 Priority date : 29.09.1998 Priority country : US

(54) FORMING METHOD OF TRANSISTOR AND MEMORY CELL WITH CAPACITOR, METHOD OF FORMING STACKED CAPACITOR ON UPPER SURFACE OF SILICON WAFER, AND MEMORY CELL USED IN DYNAMIC RANDOM ACCESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a DRAM with an improved stacked capacitor and a manufacturing method thereof.

SOLUTION: The active region of a silicon chip is of one conductivity-type, an other conductivity-type region is present along the upper surface 21 of the chip separating from the active region, a dielectric coating 26 is formed above the upper surface with a cup-shaped contact hole, and the cup-shaped contact hole is possessed of a bottom plug 27 that is connected to a region distant from it to provide a low-resistance connection. Furthermore, a lower conductive layer 37 conformable to the cup-shaped contact hole is located above the wall of the contact hole, an intermediate dielectric layer 38 and an upper conductive layer 39 are provided, and the conductive layers 37 and 39 are electrically insulated from each other by the intermediate dielectric layer 38, whereby a storage capacitor of a memory cell is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-124427

(P2000-124427A)

(43)公開日 平成12年4月28日 (2000.4.28)

(51)Int.Cl.
H 01 L 27/108
21/8242

識別記号

F I
H 01 L 27/10

マーク (参考)
6 2 1 Z
6 5 1

審査請求 未請求 請求項の数17 OL (全 7 頁)

(21)出願番号 特願平11-275097
(22)出願日 平成11年9月28日 (1999.9.28)
(31)優先権主張番号 09/162867
(32)優先日 平成10年9月29日 (1998.9.29)
(33)優先権主張国 米国 (U.S.)

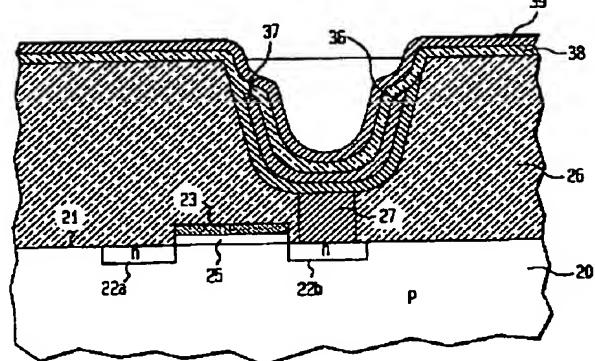
(71)出願人 390039413
シーメンス アクチエンゲゼルシャフト
S I E M E N S A K T I E N G E S E L
L S C H A F T
ドイツ連邦共和国 D-80333 ミュンヘ
ン ヴィッテルスバッハーブラツツ 2
(72)発明者 マーティン グーチェ
ドイツ連邦共和国 ノイファールン ガル
ドロシュトラーセ 2
(74)代理人 100061815
弁理士 矢野 敏雄 (外2名)

(54)【発明の名称】トランジスタおよびキャパシタを含むメモリセルの形成方法、スタックトキャパシタをシリコンウェハの上表面に形成する方法、およびダイナミックランダムアクセスメモリで使用されるメモリセル

(57)【要約】(修正有)

【課題】改善されたスタックトキャパシタを有するDRAMを提供し、またこのようなDRAMの製造方法を提供する。

【解決手段】シリコンチップの活性領域が一方の導電型を有し、チップの上表面21に沿って他方の導電型の領域が間隔を置いて存在しており、ほぼカップ形のコンタクトホールを有する上表面の上方に誘電性のコーティング26が設けられており、カップ形のコンタクトホールは、間隔を置かれた一方の領域への低抵抗の接続を形成する底部のプラグ27を有しており、コンタクトホールのカップ型のウォールの上方にコンフォーマルな下方の導電層37が位置しており、中間誘電層38と上方の導電層39とが設けられており、下方の導電層および上方の導電層は中間誘電層を介して電気的に絶縁され、メモリセルのストレージキャパシタを形成している。



【特許請求の範囲】

【請求項1】 半導体チップ内に、一方の導電型の第1の領域および第2の領域が他方の導電型の領域を介して間隔を置いて前記チップの上表面に沿って配置されたトランジスタを形成するステップと、
 前記チップの上表面の上方に誘電層を形成するステップと、
 前記トランジスタの第2の領域の上表面の部分を異方性エッチングで露出させることにより、ほぼ垂直なサイドウォールを有するコンタクトホールを形成するステップと、
 該コンタクトホールを導電性の充填材料で充填し、前記第2の領域への低抵抗の接続を形成するステップと、
 前記コンタクトホールの導電性の充填材料の頂部を除去して該材料内に凹部を形成し、さらにコンタクトホールの誘電層を露出させるステップと、
 露出した誘電層を等方的にエッチングして凹部を広げ、また誘電層内のコンタクトホールの表面領域を拡大するステップと、
 ストレージキャパシタの下方プレートとして適切に使用できるように、第1の導電層を拡大されたコンタクトホールの表面領域の上方にコンフォーマルに堆積させるステップと、
 前記第1の導電層がコンタクトホール内部に境界を有するようにパターン化するステップと、
 前記第1の導電層全体をカバーするように、高い誘電定数を有する材料の層を堆積させるステップと、
 該高い誘電定数を有する材料の層を介して分離され、電気的に絶縁された上方プレートと下方プレートとを有するストレージキャパシタの上方プレートとして適切に使用できるように、前記誘電層の上方にコンフォーマルに第2の導電層を堆積させるステップとを有する、
 ことを特徴とするトランジスタおよびキャパシタを含むメモリセルの形成方法。

【請求項2】 コンタクトホールを充填するために使用される導電性の材料はドープされたシリコンであり、第1の導電層および第2の導電層の材料は金属である、請求項1記載の方法。

【請求項3】 第1の導電層および第2の導電層の両方に対する金属は白金である、請求項2記載の方法。

【請求項4】 導電性の拡散バリア層をドープされたポリシリコンと第1の白金層との間に堆積する、請求項3記載の方法。

【請求項5】 導電性の拡散バリア層をTiN、TaS_iN、TiNA₁を有するグループから選択された金属から形成する、請求項4記載の方法。

【請求項6】 高い誘電定数を有する材料はチタン酸バリウムストロンチウムである、請求項4記載の方法。

【請求項7】 パターン化するステップは第1の導電層の上方部分をイオンビームエッチングするステップを有

する、請求項1記載の方法。

【請求項8】 広げられた後の凹部はほぼカップ形である、請求項1記載の方法。

【請求項9】 第1の誘電層は大部分が二酸化シリコンである、請求項1記載の方法。

【請求項10】 シリコンウェハの上表面の部分に形成されたスイッチングトランジスタに統いてストレージキャパシタとして使用されるスタックトキャパシタをシリコンウェハの上表面に形成する方法において、

10 第1の誘電層をシリコンウェハの上表面の上方に形成するステップと、

コンタクトホールを誘電性のコーティング内に形成してシリコントランジスタの部分を露出させ、該トランジスタとストレージキャパシタの下方プレートとを導電接続するステップと、

前記シリコントランジスタの部分との導電接続を適切に形成するようにコンタクトホールをドープされたポリシリコンで部分的に充填するステップと、

コンタクトホールの充填されていない部分をほぼカップ形の形状となるように広げて、該充填されていない部分の表面領域を拡大するステップと、

導電性の拡散バリア層をドープされたポリシリコンの上方に形成するステップと、

キャパシタの下方プレートとして機能できるように適切に、コンタクトホールの充填されていない部分の表面の上方にコンフォーマルに第1の導電層を堆積するステップと、

コンタクトホール内の第1の導電層の上方部分をイオンエッチングで除去するステップと、

30 キャパシタの誘電体として機能できるように適切に、第1の導電層およびコンタクトホールの上方にコンフォーマルに第2の誘電層を堆積するステップと、
 キャパシタの下方プレートへの電気的な短絡を生じさせずにキャパシタの上方プレートとして機能できるように適切に、第2の誘電層の上方にコンフォーマルに第2の導電層を堆積するステップとを有する、ことを特徴とするスタックトキャパシタをシリコンウェハの上表面に形成する方法。

【請求項11】 第2の誘電層および第2の導電層をシリコンウェハの上表面の上方に展開し、シリコンウェハの別のスタックトキャパシタとして機能させる、請求項10記載の方法。

【請求項12】 最初に第1の誘電層内に形成される垂直方向のサイドウォールを有するコンタクトホールを異方性の反応性イオンエッチングにより形成し、後に該コンタクトホールを等方性のエッチングによりほぼカップ形に広げる、請求項11記載の方法。

【請求項13】 第1の誘電層は大部分が二酸化ケイ素であり、第1の導電層および第2の導電層は白金から成り、キャパシタの誘電体はチタン酸バリウムストロンチ

ウムから成り、導電性の拡散バリアはTiN、TaSiN、TiNAlを有するグループから選択される、請求項12記載の方法。

【請求項14】シリコンチップの活性領域が一方の導電型を有しており、前記チップの上表面に沿って他方の導電型の領域が間隔を置いて存在しており、ほぼカップ形のコンタクトホールを有する前記上表面の上方に誘電性のコーティングが設けられており、前記カップ形のコンタクトホールは、間隔を置かれた一方の前記領域への低抵抗の接続を形成する底部のプラグ部分を有しており、コンタクトホールのカップ型のウォールの上方にコンフォーマルな下方の導電層が位置しており、中間誘電層と上方の導電層とが設けられており、前記下方の導電層および上方の導電層は中間誘電層を介して電気的に絶縁され、メモリセルのストレージキャパシタを形成している、ことを特徴とするダイナミックランダムアクセスメモリで使用されるメモリセル。

【請求項15】コンタクトホール内で下方の導電層と底部のプラグ部分との間に導電性の拡散バリア層がさらには設けられている、請求項14記載のメモリセル。

【請求項16】前記拡散バリア層はTaSiNから成り、前記上方の導電層および下方の導電層は白金から成り、中間誘電層はチタン酸バリウムストロンチウムから成る、請求項14記載のメモリセル。

【請求項17】前記底部のプラグ部分はドープされたポリシリコンから成る、請求項16記載のメモリセル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタおよびキャパシタを含むメモリセルの形成方法に関する。また、シリコンウェハの上表面の部分に形成されたスイッチングトランジスタに統いてストレージキャパシタとして使用されるスタックトキャパシタをシリコンウェハの上表面に形成する方法に関する。またダイナミックランダムアクセスメモリで使用されるメモリセルに関する。

【0002】

【従来の技術】標準型のダイナミックランダムアクセスメモリ(DRAM)はシリコンチップ内の大きなアレイの形に形成されたメモリセルとして、一連のスイッチのコンピネーション(一般にはMOSFET)と、バイナリのディジット(ビット)が後の修復のために情報として記憶されているストレージキャパシタを使用している。DRAMの1つの形態としてストレージキャパシタがシリコンチップの上表面の上方の層のスタックにより形成されており、ここではMOSFETのスイッチがチップの上表面の近傍の領域内に形成されている。導電性のプラグないし栓状コンタクトにより典型的には、チップ内のMOSFETのソース/ドレイン領域と、ストレージキャパシタの下方プレート(底部電極)として機能するスタックの層との間の接続が低抵抗で形成される。

【0003】DRAM内で高い容量を得るために、セルを小さく構成し、かつこれらを接近した位置に配置することが重要である。したがってDRAM内のスタックトキャパシタはチップの表面上の小さな表面スペースを使用し、しかも充分に高いキャパシタンスを提供してストレージノードとしての信頼性を発揮することが重要である。

【0004】

【発明が解決しようとする課題】本発明の課題は、改善されたスタックトキャパシタを有するDRAMを提供し、またこのようなDRAMの製造方法を提供することである。

【0005】

【課題を解決するための手段】この課題は、半導体チップ内に、一方の導電型の第1の領域および第2の領域が他方の導電型の領域を介して間隔を置いて前記チップの上表面に沿って配置されたトランジスタを形成するステップと、チップの上表面の上方に誘電層を形成するステップと、トランジスタの第2の領域の上表面の部分を異方性エッチングで露出させることにより、ほぼ垂直なサイドウォールを有するコンタクトホールを形成するステップと、このコンタクトホールを導電性の充填材料で充填し、第2の領域への低抵抗の接続を形成するステップと、コンタクトホールの導電性の充填材料の頂部を除去してこの材料内に凹部を形成し、さらにコンタクトホールの誘電層を露出させるステップと、露出した誘電層を等方的にエッチングして凹部を広げ、また誘電層内のコンタクトホールの表面領域を拡大するステップと、ストレージキャパシタの下方プレートとして適切に使用できるよう、第1の導電層を拡大されたコンタクトホールの表面領域の上方にコンフォーマルに堆積させるステップと、第1の導電層がコンタクトホール内部に境界を有するようにパターン化するステップと、第1の導電層全体をカバーするように、高い誘電定数を有する材料の層を堆積させるステップと、高い誘電定数を有する材料の層を介して分離され、電気的に絶縁された上方プレートと下方プレートとを有するストレージキャパシタの上方プレートとして適切に使用できるように、誘電層の上方にコンフォーマルに第2の導電層を堆積させるステップとを有する方法により解決される。

【0006】課題はまた、第1の誘電層をシリコンウェハの上表面の上方に形成するステップと、コンタクトホールを導電性のコーティング内に形成してシリコントランジスタの部分を露出させ、このトランジスタとストレージキャパシタの下方プレートとを導電接続するステップと、シリコントランジスタの部分との導電接続を適切に形成するようにコンタクトホールをドープされたポリシリコンで部分的に充填するステップと、コンタクトホールの充填されていない部分をほぼカップ形の形状となるよう広げて、この充填されていない部分の表面領域

を拡大するステップと、導電性の拡散バリア層をドープされたポリシリコンの上方に形成するステップと、キャパシタの下方プレートとして機能できるように適切に、コンタクトホールの充填されていない部分の表面の上方にコンフォーマルに第1の導電層を堆積するステップと、コンタクトホール内の第1の導電層の上方部分をイオンエッ칭で除去するステップと、キャパシタの誘電体として機能できるように適切に、第1の導電層およびコンタクトホールの上方にコンフォーマルに第2の誘電層を堆積するステップと、キャパシタの下方プレートへの電気的な短絡を生じさせずにキャパシタの上方プレートとして機能できるように適切に、第2の誘電層の上方にコンフォーマルに第2の導電層を堆積するステップとを有する方法により解決される。

【0007】課題はまた、シリコンチップの活性領域が一方の導電型を有しており、チップの上表面に沿って他方の導電型の領域が間隔を置いて存在しており、ほぼカップ形のコンタクトホールを有する上表面の上方に誘電性のコーティングが設けられており、カップ形のコンタクトホールは、間隔を置かれた一方の前記領域への低抵抗の接続を形成する底部のプラグ部分を有しており、コンタクトホールのカップ型のウォールの上方にコンフォーマルな下方の導電層が位置しており、中間誘電層と上方の導電層とが設けられており、下方の導電層および上方の導電層は中間誘電層を介して電気的に絶縁され、メモリセルのストレージキャパシタを形成している構成により解決される。

【0008】

【発明の実施の形態】周知のように、一般にこの製造技術は大部分がウェハのスケールで行われ、場合によりウェハは1つ以上のDRAMを内包するチップヘダイシングされる。プロセスの説明を容易にするために、ただ1つのメモリセルを内包するチップの部分に関連して述べる。

【0009】メモリセル用の改善されたキャパシタの主要な素子は、まず誘電層内にコンタクトホールを設けることにより形成される。この誘電層はスイッチングトランジスタを内包するシリコンチップの一部である上表面の上方に存在している。コンタクトホールは各キャパシタに対してスイッチングトランジスタの領域の上方に形成され、この個所でキャパシタが接続される。導電性のプラグ、典型的にはドープされたポリシリコンから成るプラグはコンタクトホールの底部に設けられ、トランジスタの前述の領域、すなわちセルのストレージノードに対応する領域への低抵抗の接続を形成する。典型的にはこれはまずコンタクトホールを導体によって充填し、その後この充填物の上部を除去することによって行われる。これにより底部のプラグ部分のみが残る。次に中空化したコンタクトホールの上部をエッ칭により広げる。広げられたトレンチのウォールは次に導体の層、有

利には白金の層によってコーティングされ、このコーティングと導電性プラグとの間の低抵抗の接続が形成される。この導電層はキャパシタの下方プレート（底部電極）として機能する。導電性のプラグがキャパシタの下方プレートとして機能する導体内への拡散を阻止する必要のある材料から形成されている場合、つまり例えればプラグが白金から形成されている場合、プラグと下方プレートとの間に拡散を防止するバリアとして作用する層を挿入しなければならない。導電層を堆積した後、拡散バリアおよび導電層はパターン化され、それぞれ適切なアイソレーションのために拡大されたトレンチ内部に配置される。導電層はその場合、キャパシタ誘電体として使用するのに適した誘電定数を有する材料によってコーティングされる。チタン酸バリウムストロンチウムの層はきわめて高い誘電定数を有しており、効果的なキャパシタ誘電体を形成するので有利である。誘電層は反対に導電層によってコーティングされ、この誘電層は有利には白金である。この白金層はキャパシタの上方プレート（上部電極）として機能する。もちろんキャパシタの上部電極と底部電極との間の電気的短絡を回避する手段を考慮する必要がある。

【0010】このようなキャパシタデザインの利点はストレージトレンチが実質的にセルフアライメントされ、製造時にリソグラフィステップの数が低減される点である。このキャパシタの他の利点は従来のデザインで使用されている層に比較してより薄い白金層で容易に形成可能となる点である。白金を用いれば所望の作用関数が得られ、酸化への耐性を有するので有利である。

【0011】重要なのは個々のストレージセルを分離することである。相応して第1の層と各拡散バリアとを上述の短絡を阻止できるようにパターン化することが重要である。ただしキャパシタ誘電体として機能する誘電層とキャパシタの上方プレートとして機能する導電層とをチップの上方にわたって展開して、メモリセルアレイの他のセルにおいても同じ機能を果たすように構成することができる。

【0012】プロセスの実施形態から見て、本発明はトランジスタおよびキャパシタを有するメモリセルの形成方法に関連している。

【0013】別のプロセスの実施形態から見ると、本発明はシリコンウェハの上表面の部分に形成されたスイッチングトランジスタに統いてストレージキャパシタとして使用されるスタックトキャパシタをシリコンウェハの上表面に形成する方法に関連している。

【0014】装置の実施形態から見ると、本発明はダイナミックランダムアクセスメモリで使用されるメモリセルに関連している。

【0015】

【実施例】前述のプロセスと形成されるキャパシタとを以下に図に即して詳細に説明する。図は縮尺通りではな

いので注意されたい。

【0016】図1には、本発明のスタックトキャパシタを有するメモリセルを含むシリコンチップ20の部分が断面図で示されている。シリコンチップ20のパルクないし基体は例えばp型の抵抗率を有している。その上表面21に間隔を置いてそれぞれn型の導電性を有する第1の領域22aと第2の領域22bとが存在し、nチャネルMOSFETを形成している。これらの2つの領域はスイッチの電流端子として機能し、MOSFETのソースおよびドレインとして動作する。したがって以下では簡便のために領域22aをソース、領域22bをドレインとして説明するが、周知のようにそれぞれの機能を論理情報として逆転させてメモリセルへ書き込んだり、またはセルから読み出したりもできる。ゲート電極23はp型の領域の上方に、間隔を置いたn型の第1の領域22aおよび第2の領域22bとの間で配置されており、ゲート酸化物25を介してMOSFETに特徴的な手段で表面から分離されている。上表面21の上方に誘電性コーティング26が存在しており、この誘電性コーティングは典型的には主としてケイ素酸化物から形成されており、場合によっては、セルに記憶されたビットの通常の書き込みおよび読み出しのためにセルへの接続を形成するに必要なビット線およびワード線用の導体を含む（これは図示されていない）。ストレージキャパシタに蓄積を行うためには、ストレージノードとして機能するトランジスタの領域に続けて、第2の領域22bすなわちドレインを接続する必要がある。この端部でキャパシタは第2の領域22bへの低抵抗の接続を行う導電性のプラグ27と、キャパシタの第1の下方プレートとして機能するほぼカップ形の第1の導電層37と、この第1の導電層37をカバーし絶縁する上方の誘電層38と、この誘電層38の上方に配置されキャパシタの第2の上方プレートとして機能する第2の導電層39とを有する。この第2の導電層39は一般に電源の一方の端子、典型的にはグラウンドに接続されている。通常第1の導電性の領域22aはDRAMのビット線に接続されおり、ゲート電極23はワード線に接続されている。

【0017】キャパシタの必須の素子ではないが、前述のように白金およびポリシリコンが使用されている場合、一般に第1の白金層37の下方にTiN、TaSiN、TiAlNなどの材料から成る層36を同様にコンフォーマルに開口部の表面全体の上方に図示のように設けると有利である。またはこれを選択的にポリシリコンのプラグの上方にのみ設けてもよい。この層は白金の濡れ性を改善し、同時にプラグ27と白金層との間の相互拡散または相互作用を低減させ、高温プロセスのステップ（例えば高い誘電率を有する材料のデポジションプロセス）中に高抵抗の界面となる層が形成されるのを阻止する。

【0018】以下の図はキャパシタの製造方法を説明す

るのに使用される。ここではシリコンウェハ20の一部22bと所定の誘電定数を有するコーティング26のみが示されている。

【0019】キャパシタを製造する際には誘電性のコーティング26の上方にまずフォトレジスト層31が形成され、このフォトレジスト層がパターン化されてエッチマスクとしてコーティング26内にコンタクトホールを形成するために用いられる。これによりスイッチトランジスタの表面領域22bが露出される。有利にはこのエッチングは異方性の反応性イオンエッチング（RIE）であり、垂直なサイドウォールを有する比較的狭いヴァーティカル方向のホールを形成する。このホールは図2に示されており、これによってもチップ表面の限定された部分しか占有されない。

【0020】フォトレジストを除去した後、チップ20の表面21が適切に洗浄され、コンタクトホールは部分的に導体（典型的にはポリシリコン）で充填される。これにより図3に示される領域22bへの低抵抗の接続を形成するプラグ34が形成される。このプラグは有利には、キャパシタの大部分が表面の上方に形成されて誘電層の他の導体の邪魔にならないだけの充分な高さを有さなければならない。

【0021】プラグ34を形成するために、一般にはコンタクトホールを多めに充填し、必要に応じて化学的機械的研磨（CMP）を用いて表面を平坦化し、その後適切なエッチング、典型的には等方性のドライエッチングによりポリシリコンの充填物に凹部33を形成することが行われている。これにより図3の状態が得られる。

【0022】次に等方性のエッチング、典型的には適切な化学的ウェットエッチングまたは化学的なダウントローエッティングが使用されて凹部またはコンタクトホール33が拡大され、ほぼカップ形の開口部35が図4に示されるように形成される。ここではほぼカップ形の形状はほぼ円筒形の形状も含む。所望される場合には別のステップを加えてポリシリコンのプラグ34の上表面を拡大されたトレンチの底部と同じレベルに構成してもよい。

【0023】図5に示されているように、導電性のバリア層36が開口部35の上方に形成され、次にコンフォーマルにコンタクトホールのカップ形の表面の上方に金属層37がキャパシタの第1のプレートとして使用できるように適切に堆積される。堆積の後、この金属層37およびバリア層36は所望されない部分（例えば誘電性のコーティング26の上表面近傍）がクリーニングにより除去され、この層の境界はコンタクトホールの内部で定められる。典型的にはこうしたクリーニングはイオンビームエッティング（IBE）、化学的に支援されるIBE、または反応性のIBEから選択されて行われる。有利にはこの種のエッティングはイオンが誘電性コーティング26の上表面に対して鋭角をなすように行われ、これ

によりコンタクトホールのサイドウォールおよび底部のイオンビームに対する露出が制限される。このことは図5に示されている。ウェハの表面法線に対してビームの入射角度を約70°にすることにより、キャパシタのプレート材料またはコンタクトホール内のバリア層のエッチングを無視できる。

【0024】前述したように、有利には導電性のバリア層36をプラグの上部のみに設けるか、または図示のように開放された表面全体の上方に設ける。これはキャパシタの下方プレートとして機能する第1の層37を堆積させる前に行われる。

【0025】次に、金属層37の上方にコンフォーマルにキャパシタ誘電体として適切な材料から成る層38の層が堆積される。これは有利にはチタン酸バリウムストロンチウムであり、この材料は高い誘電定数を有するので望ましい。同様に高い誘電定数を有する他の材料も適している。

【0026】キャパシタを完成して図6の構造体を得るために、金属、有利には白金がコンフォーマルにトレーナー表面をカバーしている誘電体の上方に堆積され、キャパシタの第2のプレート（上方プレート）として機能する層39が形成される。本発明のカップ形のキャパシタが図6に示されている。

【0027】本発明のキャパシタの典型的な寸法は次の通りである。ホールの幅は100nm～500nmの間であり、深さと幅の比は典型的には2～3の間である。ただしこの比は0.5～5.0の間の範囲で選択することができ、主として使用可能なスペースに依存している。

【0028】さらに前述したように、誘電層38および外側の金属層39はそれぞれ連続する層となることがあ

り、キャパシタ誘電体および所定のアレイの全てのストレージキャパシタの外側電極として機能する。

【0029】例として説明したメモリセルは単に本発明の基本的な原理を説明するためのものと理解すべきである。本発明の範囲内で種々の他の実施形態が可能である。例えば上述以外の材料を使用することができる。すなわち他の導体、例えばイリジウム、タンタル、ルテニウム、酸化ルテニウム、銅、アルミニウムなどをキャパシタの層として使用可能である。

10 【図面の簡単な説明】

【図1】本発明のメモリセルの断面図である。

【図2】本発明のメモリセルの特性を有するスタックトキャパシタを形成する際のシリコンチップの一段階を示す図である。

【図3】シリコンチップの別の一段階を示す図である。

【図4】シリコンチップの別の一段階を示す図である。

【図5】シリコンチップの別の一段階を示す図である。

【図6】シリコンチップの別の一段階を示す図である。

【符号の説明】

20 20 シリコンチップ

21 上表面

22a, 22b n型領域

23 ゲート電極

25 ゲート酸化物

26 誘電性コーティング

27 導電性プラグ

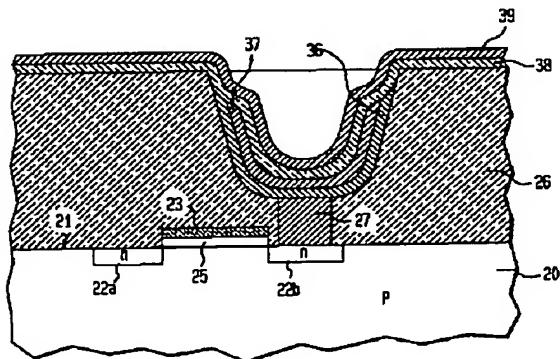
36 導電性の拡散バリア層

37 第1の導電層

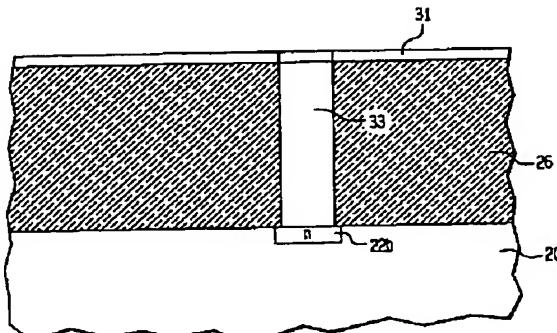
38 誘電層

39 第2の導電層

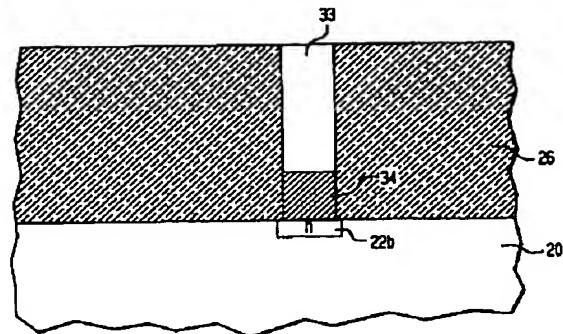
【図1】



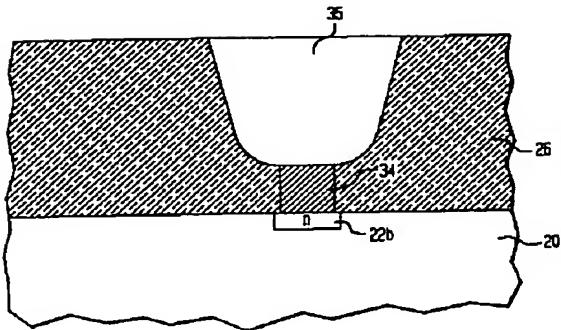
【図2】



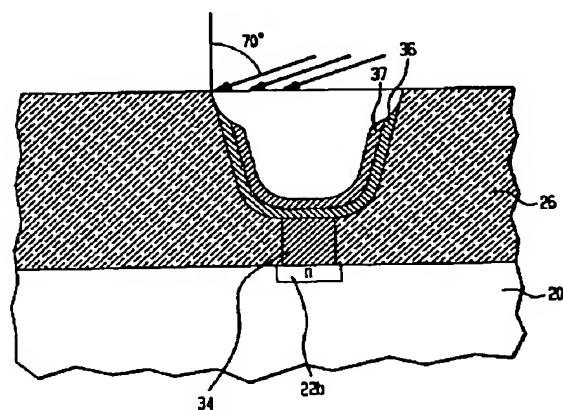
【図3】



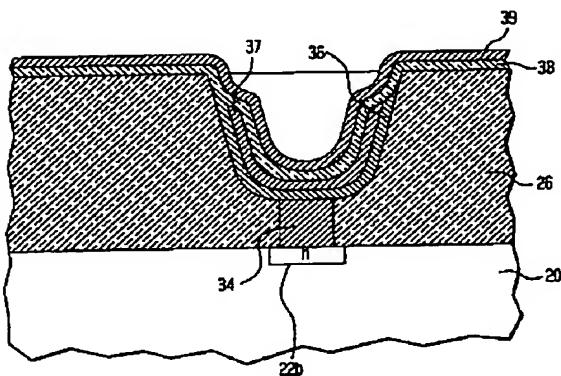
【図4】



【図5】



【図6】



フロントページの続き

(54) 【発明の名称】 トランジスタおよびキャパシタを含むメモリセルの形成方法、スタックトキャパシタをシリコンウェハの上表面に形成する方法、およびダイナミックランダムアクセスメモリで使用されるメモリセル